



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le **05 DEC. 2003**

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354*01

REQUÊTE EN DÉLIVRANCE

page 1/2

R1

Cet imprimé est à remplir lisiblement à l'encre noire

08 540 W / 300301

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

Réservé à l'INPI

REMISE DES PIÈCES

DATE

24 SEPT 2002

LIEU

75 INPI PARIS

N° D'ENREGISTREMENT

0211793

NATIONAL ATTRIBUÉ PAR L'INPI

DATE DE DÉPÔT ATTRIBUÉE

24 SEP. 2002

PAR L'INPI

Vos références pour ce dossier

(facultatif) 3J047130/113.CNO

1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE
À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE

CABINET BEAU DE LOMENIE
158, rue de l'Université
75340 PARIS CEDEX 07

Confirmation d'un dépôt par télécopie

☐ N° attribué par l'INPI à la télécopie**2** NATURE DE LA DEMANDE

Cochez l'une des 4 cases suivantes

Demande de brevet

☒

Demande de certificat d'utilité

☐

Demande divisionnaire

☐

Demande de brevet initiale

N°

Date

ou demande de certificat d'utilité initiale

N°

Date

Transformation d'une demande de
brevet européen *Demande de brevet initiale*☐

N°

Date

3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)

Transistor à couche mince de silicium et son procédé de fabrication

4 DÉCLARATION DE PRIORITÉ

OU REQUÊTE DU BÉNÉFICE DE

LA DATE DE DÉPÔT D'UNE

DEMANDE ANTÉRIEURE FRANÇAISE

Pays ou organisation

Date

N°

Pays ou organisation

Date

N°

Pays ou organisation

Date

N°

☐ S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»**5** DEMANDEUR☐ S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»

Nom ou dénomination sociale

CORNING INCORPORATED

Prénoms

Forme juridique

N° SIREN

Code APE-NAF

Adresse

Rue

One Riverfront Plaza

Code postal et ville

114831 Corning, New-York

Pays

Etats-Unis d'Amérique

Nationalité

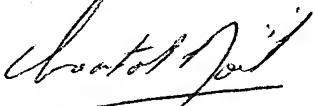
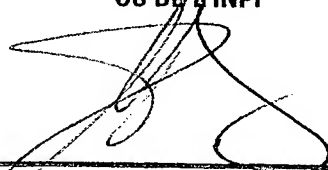
Américaine

N° de téléphone (facultatif)

N° de télécopie (facultatif)

Adresse électronique (facultatif)

Remplir impérativement la 2^{ème} page

REMISE DES PIÈCES DATE 24 SEPT 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0211793		Réservé à l'INPI
Vos références pour ce dossier : <i>(facultatif)</i>		3J047130/113.CNO
6 MANDATAIRE		
Nom		
Prénom		
Cabinet ou Société		CABINET BEAU DE LOMENIE
N° de pouvoir permanent et/ou de lien contractuel		
Adresse	Rue	158, rue de l'Université
	Code postal et ville	75340 PARIS CEDEX 07
N° de téléphone <i>(facultatif)</i>		01.44.18.89.00
N° de télécopie <i>(facultatif)</i>		01.44.18.04.23
Adresse électronique <i>(facultatif)</i>		
7 INVENTEUR (S)		
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée
8 RAPPORT DE RECHERCHE		
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>
Paiement échelonné de la redevance		Paiement en deux versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input type="checkbox"/> Non
9 RÉDUCTION DU TAUX DES REDEVANCES		
Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Requête antérieurement à ce dépôt <i>(joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :</i>		
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes		
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) 		VISA DE LA PRÉFECTURE OU DE L'INPI 

L'invention concerne un transistor à couche mince de silicium, son procédé de fabrication et un écran d'affichage le comprenant.

Les transistors à couche mince de silicium sont utilisés dans de nombreux domaines et en particulier dans le domaine des écrans d'affichage plats, tels que les écrans d'affichage à cristaux liquides à matrice active et les écrans d'affichage à couche électroluminescente organique à matrice active.

Dans ces écrans, chaque pixel ou point lumineux est commandé par un transistor à couche mince de silicium, d'où la dénomination "à matrice active".

A l'heure actuelle, les écrans d'affichage à cristaux liquides, à matrice active, plats, sont fabriqués de façon prédominante en utilisant, pour le dispositif d'activation et de désactivation du pixel, du silicium amorphe hydrogéné, également noté a-Si : H.

Cependant, le silicium amorphe hydrogéné a une mobilité des porteurs limitée, et pour cette raison il ne peut être utilisé pour fabriquer de façon fiable les circuits d'activation, de désactivation et d'adressage de l'écran.

Il a alors été proposé d'utiliser des transistors à couche mince de silicium polycristallin. La mobilité de porteurs des transistors à couche mince de silicium polycristallin excède celle des dispositifs actifs des transistors à couche mince de silicium amorphe de deux ordres de grandeur, permettant l'intégration sur l'écran des circuits de commandes périphériques et d'obtenir une résolution améliorée.

A l'heure actuelle, les transistors à couche mince de silicium polycristallin sont fabriqués par dépôt d'une couche de silicium amorphe sur un substrat suivi de la cristallisation du silicium constituant cette couche mince par une irradiation par un laser excimer.

Cependant, ce procédé présente plusieurs inconvénients : l'énergie de la lumière laser est limitée en quantité et très coûteuse. Par exemple, à l'heure actuelle, les lasers industriels sont limités à une énergie de moins de 1 joule à 300 Hz. Cet inconvénient est particulièrement important pour les substrats de grande surface. En effet, pour maintenir la même fluence de laser (énergie du laser par surface unitaire) nécessaire pour cristalliser une surface plus grande, le laser doit être capable de délivrer une énergie

beaucoup plus importante. De plus, la taille des grains de silicium doit être augmentée pour atteindre une meilleure intégration. Or, pour augmenter la taille des grains de silicium, la vitesse de solidification du silicium doit être réduite et pour cela, le flux d'énergie thermique, provenant du film de silicium fondu, dans le substrat refroidi doit être supprimé.

Il a alors été proposé, pour résoudre ces problèmes, de chauffer le substrat, qui est généralement en verre. Cependant, ce chauffage est limité à 400°C.

On a également proposé d'utiliser un laser à double impulsion et également à double faisceaux, les deux côtés du substrat étant irradiés par des faisceaux de lumière provenant d'un laser excimer.

On a également proposé d'utiliser une couche barrière de silice cristalline ayant une densité proche de la densité théorique, cette couche barrière étant interposée entre le substrat et la couche mince de silicium.

Cependant, l'effet de barrière thermique d'une telle couche de silice cristalline dense n'est pas suffisant.

L'invention a pour but d'obtenir des transistors à couche mince de silicium polycristallin ayant des tailles de grains augmentées et uniformes, tout en supprimant le flux d'énergie thermique, provenant du silicium fondu constituant cette couche mince, dans le substrat du transistor à couche mince de silicium.

A cet effet, l'invention propose de placer entre le substrat et la couche mince de silicium, une couche barrière en un matériau poreux et ayant une conductivité thermique plus faible que la conductivité thermique du substrat.

Ainsi, dans un premier aspect, l'invention concerne un transistor à film fin de silicium, caractérisé en ce qu'il comprend :

- un substrat,
- une couche barrière en silice poreuse déposée directement sur le substrat, et
- une couche mince de silicium rendu polycristallin déposée directement sur la couche barrière.

Selon une première caractéristique du transistor à couche mince de silicium de l'invention, la couche barrière a un taux de porosité compris entre 20 et 90 %, de préférence compris entre 30 et 60 %.

beaucoup plus importante. De plus, la taille des grains de silicium doit être augmentée pour atteindre une meilleure intégration. Or, pour augmenter la taille des grains de silicium, la vitesse de solidification du silicium doit être réduite et pour cela, le flux d'énergie thermique, provenant du film de silicium fondu, dans le substrat refroidi doit être supprimé.

Il a alors été proposé, pour résoudre ces problèmes, de chauffer le substrat, qui est généralement en verre. Cependant, ce chauffage est limité à 400°C.

On a également proposé d'utiliser un laser à double impulsion et également à double faisceaux, les deux côtés du substrat étant irradiés par des faisceaux de lumière provenant d'un laser excimer.

On a également proposé d'utiliser une couche barrière de silice cristalline ayant une densité proche de la densité théorique, cette couche barrière étant interposée entre le substrat et la couche mince de silicium.

Cependant, l'effet de barrière thermique d'une telle couche de silice cristalline dense n'est pas suffisant.

L'invention a pour but d'obtenir des transistors à couche mince de silicium polycristallin ayant des tailles de grains augmentées et uniformes, tout en supprimant le flux d'énergie thermique, provenant du silicium fondu constituant cette couche mince, dans le substrat du transistor à couche mince de silicium.

A cet effet, l'invention propose de placer entre le substrat et la couche mince de silicium, une couche barrière en un matériau poreux et ayant une conductivité thermique plus faible que la conductivité thermique du substrat.

Ainsi, dans un premier aspect, l'invention concerne un transistor à couche mince de silicium, caractérisé en ce qu'il comprend :

- un substrat,
- une couche barrière en silice poreuse déposée directement sur le substrat, et
- une couche mince de silicium rendu polycristallin déposée directement sur la couche barrière.

Selon une première caractéristique du transistor à couche mince de silicium de l'invention, la couche barrière a un taux de porosité compris entre 20 et 90 %, de préférence compris entre 30 et 60 %.

Selon une autre caractéristique du transistor à couche mince de silicium de l'invention, la couche barrière a une épaisseur comprise entre 150 et 500 nanomètres, de préférence entre 400 et 500 nanomètres.

5 Selon encore une caractéristique du transistor à couche mince de silicium de l'invention, la couche mince a une épaisseur comprise entre 50 et 80 nanomètres.

Selon toujours une caractéristique du transistor à couche mince de silicium de l'invention, la taille des grains de silicium polycristallin de la couche mince est d'environ 1 μm .

10 Selon encore une autre caractéristique du transistor à couche mince de l'invention le substrat est en verre.

L'invention propose également un procédé pour fabriquer un tel transistor à couche mince de silice caractérisé en ce qu'il comprend les étapes suivantes :

- 15 a) dépôt d'une couche barrière en silice poreuse directement sur un substrat,
b) dépôt d'une couche mince de silicium amorphe directement sur cette couche barrière,
c) irradiation de la couche mince de silicium amorphe en utilisant un laser
20 pour obtenir une couche mince de silicium polycristallin.

Optionnellement, ce procédé comprend de plus, entre l'étape b) et l'étape c), une étape de déshydrogénation du silicium de la couche mince de calcium amorphe.

25 Selon une première caractéristique du procédé de l'invention, la couche barrière de silice amorphe est déposée par un procédé sol-gel.

Selon une autre caractéristique du procédé de l'invention, la couche mince de silicium amorphe est déposée à l'étape b), par dépôt chimique en phase vapeur assisté par plasma.

30 Selon encore une autre caractéristique du procédé de l'invention, à l'étape c), l'irradiation est effectuée avec un laser excimer, de préférence fonctionnant à 248 nm ou 308 nm.

De préférence, à l'étape c) l'irradiation est effectuée avec un laser excimer fonctionnant à excimer fonctionnant à 308 nm.

Selon une autre caractéristique du transistor à couche mince de silicium de l'invention, la couche barrière a une épaisseur comprise entre 150 et 500 nanomètres, de préférence entre 400 et 500 nanomètres.

5 Selon encore une caractéristique du transistor à couche mince de silicium de l'invention, la couche mince a une épaisseur comprise entre 50 et 80 nanomètres.

Selon toujours une caractéristique du transistor à couche mince de silicium de l'invention, la taille des grains de silicium polycristallin de la couche mince est d'environ 1 μm .

10 Selon encore une autre caractéristique du transistor à couche mince de l'invention le substrat est en verre.

L'invention propose également un procédé pour fabriquer un tel transistor à couche mince de silicium caractérisé en ce qu'il comprend les étapes suivantes :

- 15 a) dépôt d'une couche barrière de silice poreuse directement sur un substrat,
b) dépôt d'une couche mince de silicium amorphe directement sur cette couche barrière,
c) irradiation de la couche mince de silicium amorphe en utilisant un laser
20 pour obtenir une couche mince de silicium polycristallin.

Optionnellement, ce procédé comprend de plus, entre l'étape b) et l'étape c), une étape de déshydrogénation du silicium de la couche mince de silicium amorphe.

25 Selon une première caractéristique du procédé de l'invention, la couche barrière de silice poreuse est déposée par un procédé sol-gel.

Selon une autre caractéristique du procédé de l'invention, la couche mince de silicium amorphe est déposée à l'étape b), par dépôt chimique en phase vapeur assisté par plasma.

30 Selon encore une autre caractéristique du procédé de l'invention, à l'étape c), l'irradiation est effectuée avec un laser excimer, de préférence fonctionnant à 248 nm ou 308 nm.

De préférence, à l'étape c) l'irradiation est effectuée avec un laser excimer fonctionnant à 308 nm.



Selon toujours une caractéristique du procédé de l'invention, l'épaisseur de la couche barrière de silice est comprise entre 150 et 1 000 nm, de préférence entre 400 et 600 nm.

5 Selon toujours une autre caractéristique du procédé de l'invention, le taux de porosité de la couche barrière de silice est compris entre 20 et 90 %, de préférence entre 30 et 60 %.

Une caractéristique supplémentaire du procédé de l'invention est que l'épaisseur de la couche mince de silice est comprise entre 20 et 80 nm.

10 Encore une autre caractéristique supplémentaire du procédé de l'invention est que le substrat est en verre.

L'invention concerne encore un écran d'affichage caractérisé en ce qu'il comprend au moins un transistor à couche mince de silice selon l'invention.

15 Elle concerne un procédé de fabrication d'un écran d'affichage, caractérisé en ce qu'il comprend le procédé de fabrication d'un transistor à film fin de silicium selon l'invention.

L'invention sera mieux comprise et d'autres buts et avantages de celle-ci apparaîtront mieux à la lecture de la description qui va suivre qui est faite en référence aux figures dans lesquelles :

- la figure 1 représente la structure du transistor à couche mince de silicium lors de son irradiation,
- la figure 2 représente le transistor à couche mince de silicium polycristallin obtenu après irradiation.

25 La première étape du procédé de fabrication du transistor à couche mince de l'invention consiste à déposer sur le substrat, généralement en verre, et de préférence en verre Corning 1737, noté 1 dans les figures, une couche barrière, notée 2 dans les figures, en un matériau poreux et ayant une conductivité thermique plus faible que la conductivité thermique du substrat 1.

30 Un matériau particulièrement approprié pour former cette couche barrière 2 est de la silice (SiO_2) ayant un taux de porosité compris entre 20 et 90 %.

35 En effet, si le taux de porosité est inférieur à 20 %, l'effet de barrière thermique de la couche 2 est faible et la couche 2 doit alors être

Selon toujours une caractéristique du procédé de l'invention, l'épaisseur de la couche barrière de silice est comprise entre 150 et 1 000 nm, de préférence entre 400 et 600 nm.

5 Selon toujours une autre caractéristique du procédé de l'invention, le taux de porosité de la couche barrière de silice est compris entre 20 et 90 %, de préférence entre 30 et 60 %.

Une caractéristique supplémentaire du procédé de l'invention est que l'épaisseur de la couche mince de silicium est comprise entre 20 et 80 nm.

10 Encore une autre caractéristique supplémentaire du procédé de l'invention est que le substrat est en verre.

L'invention concerne encore un écran d'affichage caractérisé en ce qu'il comprend au moins un transistor à couche mince de silicium selon l'invention.

15 Elle concerne un procédé de fabrication d'un écran d'affichage, caractérisé en ce qu'il comprend le procédé de fabrication d'un transistor à couche mince de silicium selon l'invention.

L'invention sera mieux comprise et d'autres buts et avantages de celle-ci apparaîtront mieux à la lecture de la description qui va suivre qui est faite en référence aux figures dans lesquelles :

- la figure 1 représente la structure du transistor à couche mince de silicium lors de son irradiation,
- la figure 2 représente le transistor à couche mince de silicium polycristallin obtenu après irradiation.

25 La première étape du procédé de fabrication du transistor à couche mince de silicium de l'invention consiste à déposer sur le substrat, généralement en verre, et de préférence en verre Corning 1737, noté 1 dans les figures, une couche barrière, notée 2 dans les figures, en un matériau poreux et ayant une conductivité thermique plus faible que la conductivité thermique du substrat 1.

30 Un matériau particulièrement approprié pour former cette couche barrière 2 est de la silice (SiO_2) ayant un taux de porosité compris entre 20 et 90 %.

35 En effet, si le taux de porosité est inférieur à 20 %, l'effet de barrière thermique de la couche 2 est faible et la couche 2 doit alors être

plus épaisse. Si le taux de porosité est supérieur à 90 %, la couche 2 devient fragile et difficile à manipuler, bien que l'effet de barrière thermique soit excellent à un taux de porosité supérieur à 90 %.

De préférence, cette couche barrière 2 aura une porosité comprise entre 30 et 60 %, l'intervalle dans lequel la couche 2 a le meilleur compromis l'effet barrière thermique/fragilité/épaisseur.

Le taux de porosité de la couche barrière 2 est calculé selon la formule suivante :

$$\text{Taux de porosité} = 1 - \frac{n^2 - 1}{n_d^2 - 1}$$

où n est l'indice de réfraction du matériau dense et n_d est l'indice de réfraction du matériau poreux.

Les indices de réfraction des matériaux sont mesurés par ellipsométrie à sonde moléculaire comme décrit aux pages 7 à 13 de l'article de F. Horowitz intitulé "Towards better control of sol-gel film processing for optical device applications" paru dans Journal of Non linear Optical Physics and Materials, Vol. 6, n° 1 (1997).

La couche 2 en silice poreuse est avantageusement déposée par un procédé sol-gel. Elle est de préférence composée de silice amorphe.

On a découvert de façon surprenante que, dans ce cas, l'épaisseur de la couche barrière 2 nécessaire pour qu'elle joue son rôle tampon de barrière thermique envers la transmission de la chaleur même lorsqu'elle a une épaisseur comprise entre 150 et 500 nanomètres.

Cela est particulièrement avantageux, en particulier pour la fabrication d'écrans plats.

Cependant, cette couche barrière 2 aura de préférence une épaisseur comprise entre 400 et 600 nanomètres.

De façon surprenante, cette couche barrière 2 jouera non seulement le rôle d'une barrière thermique mais également le rôle d'une barrière chimique, malgré le fait qu'elle soit poreuse.

En effet, cette couche barrière 2 permet d'éviter la migration, sous l'effet d'un champ électrique ou de la chaleur, des éléments constitutifs

plus épaisse. Si le taux de porosité est supérieur à 90 %, la couche 2 devient fragile et difficile à manipuler, bien que l'effet de barrière thermique soit excellent à un taux de porosité supérieur à 90 %.

De préférence, cette couche barrière 2 aura une porosité comprise
5 entre 30 et 60 %, intervalle dans lequel la couche 2 a le meilleur compromis effet barrière thermique/fragilité/épaisseur.

Le taux de porosité de la couche barrière 2 est calculé selon la formule suivante :

$$10 \quad \text{Taux de porosité} = 1 - \frac{n^2 - 1}{n_d^2 - 1}$$

où n est l'indice de réfraction du matériau dense et n_d est l'indice de réfraction du matériau poreux.

15 Les indices de réfraction des matériaux sont mesurés par ellipsométrie à sonde moléculaire comme décrit aux pages 7 à 13 de l'article de F. Horowitz intitulé "Towards better control of sol-gel film processing for optical device applications" paru dans Journal of Non linear Optical Physics and Materials, Vol. 6, n° 1 (1997).

20 La couche 2 en silice poreuse est avantageusement déposée par un procédé sol-gel. Elle est de préférence composée de silice amorphe.

On a découvert de façon surprenante que, dans ce cas, la couche barrière 2 joue son rôle tampon de barrière thermique, envers la transmission de la chaleur même lorsqu'elle a une épaisseur comprise
25 entre 150 et jusqu'à 1 000 nanomètres.

Cela est particulièrement avantageux, en particulier pour la fabrication d'écrans plats.

Cependant, cette couche barrière 2 aura de préférence une épaisseur comprise entre 400 et 600 nanomètres.

30 De façon surprenante, cette couche barrière 2 jouera non seulement le rôle d'une barrière thermique mais également le rôle d'une barrière chimique, malgré le fait qu'elle soit poreuse.

En effet, cette couche barrière 2 permet d'éviter la migration, sous l'effet d'un champs électrique ou de la chaleur, des éléments constitutifs



du substrat ou de toute couche présente sur ou sous cette couche barrière, vers les autres couches.

La seconde étape du procédé de fabrication du transistor à couche mince de l'invention consiste à déposer directement sur la couche barrière 2, une couche de silicium amorphe, notée 4 en figure 1.

Avantageusement, la couche mince de silicium amorphe 4 a une épaisseur comprise entre 70 et 80 nanomètres. De préférence, elle aura une épaisseur comprise entre 50 et 80 nanomètres.

La troisième étape, optionnelle, du procédé de fabrication du transistor à couche mince de silicium polycristallin selon l'invention consiste à déshydrogéner la structure empilée ainsi obtenue, et en particulier à déshydrogéner le silicium amorphe.

Cela est avantageusement obtenu par chauffage de cette structure à 450°C sous azote, pendant une heure.

La quatrième étape du procédé de fabrication du transistor à couche mince de silicium polycristallin selon l'invention est représentée en figure 1 et consiste à irradier la couche mince de silicium amorphe, notée 4 aux figures 1 et 2, par la lumière, notée 5 en figure 1, avec un laser, de façon à cristalliser le silicium.

En effet, bien que le transistor de l'invention soit constitué d'un empilement de couches dont le substrat 1, la couche barrière 2 déposée sur ce substrat et la couche mince 3 de silicium polycristallin déposée directement sur la couche barrière 2, la couche de silicium polycristallin 3 n'est pas déposée directement sur la couche barrière 2 sous la forme d'une couche de silicium déjà polycristallin mais sous la forme d'une couche de silicium amorphe qui est rendu ensuite polycristallin.

Cette cristallisation peut avantageusement être mise en œuvre en utilisant un laser excimer qui présente l'avantage de permettre une fusion du silicium de la couche amorphe en surface seulement, ce qui permet de réduire l'épaisseur de la couche barrière 2.

Il existe plusieurs types de laser excimer fonctionnant à 5 longueurs d'ondes différentes selon les gaz utilisés : F₂ (157 nm), ArF (193 nm), KrF (248 nm), XeCl (308 nm) et XeF (351 nm). La longueur d'onde KrF (248 nm) et la longueur d'onde 308 nm sont utilisées de préférence

du substrat ou de toute couche présente sur ou sous cette couche barrière, vers les autres couches.

La seconde étape du procédé de fabrication du transistor à couche mince de l'invention consiste à déposer directement sur la couche barrière 2, une couche de silicium amorphe, notée 4 en figure 1.

Avantageusement, la couche mince de silicium amorphe 4 a une épaisseur comprise entre 20 et 80 nanomètres. De préférence, elle aura une épaisseur comprise entre 50 et 80 nanomètres.

La troisième étape, optionnelle, du procédé de fabrication du transistor à couche mince de silicium polycristallin selon l'invention consiste à déshydrogéner la structure empilée ainsi obtenue, et en particulier à déshydrogéner le silicium amorphe.

Cela est avantageusement obtenu par chauffage de cette structure à 450°C sous azote, pendant une heure.

La quatrième étape du procédé de fabrication du transistor à couche mince de silicium polycristallin selon l'invention est représentée en figure 1 et consiste à irradier la couche mince de silicium amorphe, notée 4 en figure 1, par la lumière, notée 5 en figure 1, avec un laser, de façon à cristalliser le silicium.

En effet, bien que le transistor de l'invention soit constitué d'un empilement de couches dont le substrat 1, la couche barrière 2 déposée sur ce substrat et la couche mince 3 de silicium polycristallin déposée directement sur la couche barrière 2, la couche de silicium polycristallin 3 n'est pas déposée directement sur la couche barrière 2 sous la forme d'une couche de silicium déjà polycristallin mais sous la forme d'une couche de silicium amorphe qui est rendu ensuite polycristallin.

Cette cristallisation peut avantageusement être mise en œuvre en utilisant un laser excimer qui présente l'avantage de permettre une fusion du silicium de la couche amorphe en surface seulement, ce qui permet de réduire l'épaisseur de la couche barrière 2.

Il existe plusieurs types de laser excimer fonctionnant à 5 longueurs d'ondes différentes selon les gaz utilisés : F₂ (157 nm), ArF (193 nm), KrF (248 nm), XeCl (308 nm) et XeF (351 nm). La longueur d'onde KrF (248 nm) et la longueur d'onde XeCl (308 nm) sont utilisées de

dans le cadre de l'invention qui correspondent le mieux au coefficient d'absorption du silicium.

Deux approches de la cristallisation du silicium avec un laser 308 nm coexistent : une approche mono-tir et une approche par balayage de la surface également appelée multi-tirs.

L'approche mono-tir est rendue possible par l'utilisation d'un laser de très grande puissance capable de traiter en un seul tir une surface de 5x5 cm². Un tel laser est en particulier commercialisé par la société SOPRA. La durée d'impulsion d'un tel laser est de 200 nanosecondes en général. Avec ce type de laser, les fluences nécessaires pour cristalliser le silicium sont très élevées.

L'approche par balayage de la surface ou multi-tirs est possible avec des lasers XeCl avec des durées d'impulsion de 20 à 30 nanosecondes environ. Ces lasers sont moins puissants que le laser commercialisé par la société SOPRA. Le balayage de la surface se fait à l'aide d'une optique spéciale qui permet à un pinceau de lumière de 30 à 40 cm de longueur et d'une largeur inférieure au millimètre de balayer la plaque à traiter.

Ainsi, dans l'invention, on utilisera de préférence un laser excimer fonctionnant à 248 nm ou à 308 nm pour cristalliser la couche mince de silicium amorphe. Cependant, plus préférablement, on utilisera un laser excimer fonctionnant à 308 nm.

De préférence, un procédé d'irradiation multi-tirs sera utilisé.

Grâce à la présence de la couche barrière 2, on peut procéder à une telle irradiation multi-tirs. De plus, cette couche barrière 2 permet de conserver toute la chaleur dans la couche de silicium amorphe 4 et ainsi, de diminuer la fluence nécessaire (énergie lumineuse nécessaire par unité de surface) du laser, ce qui permet d'obtenir une baisse des coûts conséquente pour la fabrication d'un tel transistor à couche mince de silicium polycristallin.

Cependant, des lasers fonctionnant dans le visible peuvent également être utilisés pour irradier le silicium de la couche mince bien que dans ce cas, l'épaisseur de la couche barrière 2 doit être augmentée.

préférence dans le cadre de l'invention car ce sont celles qui correspondent le mieux au coefficient d'absorption du silicium.

Deux approches de la cristallisation du silicium avec un laser 308 nm coexistent : une approche mono-tir et une approche par balayage
5 de la surface également appelée multi-tirs.

L'approche mono-tir est rendue possible par l'utilisation d'un laser de très grande puissance capable de traiter en un seul tir une surface de 5x5 cm². Un tel laser est en particulier commercialisé par la Société SOPRA. La durée d'impulsion d'un tel laser est de 200 nanosecondes en
10 général. Avec ce type de laser, les fluences nécessaires pour cristalliser le silicium sont très élevées.

L'approche par balayage de la surface ou multi-tirs est possible avec des lasers XeCl avec des durées d'impulsion de 20 à 30 nanosecondes environ. Ces lasers sont moins puissants que le laser
15 commercialisé par la Société SOPRA. Le balayage de la surface se fait à l'aide d'une optique spéciale qui permet à un pinceau de lumière de 30 à 40 cm de longueur et d'une largeur inférieure au millimètre de balayer la plaque à traiter.

Ainsi, dans l'invention, on utilisera de préférence un laser excimer
20 fonctionnant à 248 nm ou à 308 nm pour cristalliser la couche mince de silicium amorphe. Cependant, plus préférablement, on utilisera un laser excimer fonctionnant à 308 nm.

De préférence, un procédé d'irradiation multi-tirs sera utilisé.

Grâce à la présence de la couche barrière 2, on peut procéder à
25 une telle irradiation multi-tirs. De plus, cette couche barrière 2 permet de conserver toute la chaleur dans la couche de silicium amorphe 4 et ainsi, de diminuer la fluence nécessaire (énergie lumineuse nécessaire par unité de surface) du laser, ce qui permet d'obtenir une baisse des coûts conséquente pour la fabrication d'un tel transistor à couche mince de
30 silicium polycristallin.

Cependant, des lasers fonctionnant dans le visible peuvent également être utilisés pour irradier le silicium de la couche mince bien que dans ce cas, l'épaisseur de la couche barrière 2 doit être augmentée.

En effet, les lasers excimer souffrent d'un certain nombre de défauts, tel que le coût de maintenance, les problèmes de stabilité du faisceau, la durée de vie des optiques.

Des lasers fonctionnant dans le visible, et principalement à la longueur d'onde du vert, tels que les lasers Nd:Yag peuvent également être utilisés. Mais dans ce cas, l'absorption du silicium dans le vert conduit en général à préférer des films de silicium plus épais, tels que ceux ayant 250 nm d'épaisseur, alors qu'avec un laser excimer fonctionnant à 248 ou 308 nm, l'épaisseur des films de silicium est en général comprise entre 20 et 80 nm.

La couche mince de silicium amorphe 4 peut être déposée par toute méthode, mais de préférence, elle sera déposée par dépôt chimique en phase vapeur assisté par plasma.

Après l'irradiation, on obtient la structure représentée en figure 2, c'est-à-dire un substrat, noté 1 en figure 2, de préférence en verre Corning 1737, sur lequel est déposée directement une couche barrière, notée 2, de préférence en silice amorphe et poreuse, cette couche barrière 2 étant elle-même directement revêtue d'une couche mince de silicium polycristallin, notée 3 en figure 2.

La taille des grains de silicium de la couche 3 est supérieure ou égale à 1 μm et est obtenue, de façon surprenante grâce à l'invention, en utilisant une fluence au moins 30 % inférieure à la fluence nécessaire pour obtenir la même taille de grains de silicium avec le procédé de l'art antérieur dans lequel on utilise une couche barrière en silice non poreuse.

Les étapes suivantes du procédé de fabrication de l'invention, sont des étapes effectuées de manière commune dans les procédés de fabrication de transistor à couche mince de silicium polycristallin, et consistent à déposer les couches nécessaires selon les transistors voulus.

Afin de mieux faire comprendre l'invention, on va maintenant en décrire d'exemples purement illustratifs et non limitatifs un exemple de réalisation.

En effet, les lasers excimer souffrent d'un certain nombre de défauts, tel que le coût de maintenance, les problèmes de stabilité du faisceau, la durée de vie des optiques.

Des lasers fonctionnant dans le visible, et principalement à la longueur d'onde du vert, tels que les lasers Nd:YAG peuvent également être utilisés. Mais dans ce cas, l'absorption du silicium dans le vert conduit en général à préférer des films de silicium plus épais, tels que ceux ayant 250 nm d'épaisseur, alors qu'avec un laser excimer fonctionnant à 248 ou 308 nm, l'épaisseur des films de silicium étant en général comprise entre 20 et 80 nm.

La couche mince de silicium amorphe 4 peut être déposée par toute méthode, mais de préférence, elle sera déposée par dépôt chimique en phase vapeur assisté par plasma.

Après l'irradiation, on obtient la structure représentée en figure 2, c'est-à-dire un substrat, noté 1 en figure 2, de préférence en verre Corning 1737, sur lequel est déposée directement une couche barrière, notée 2, de préférence en silice amorphe et poreuse, cette couche barrière 2 étant elle-même directement revêtue d'une couche mince de silicium polycristallin, notée 3 en figure 2.

La taille des grains de silicium de la couche 3 est supérieure ou égale à 1 μm et est obtenue, de façon surprenante grâce à l'invention, en utilisant une fluence au moins 30 % inférieure à la fluence nécessaire pour obtenir la même taille de grains de silicium avec le procédé de l'art antérieur dans lequel on utilise une couche barrière en silice non poreuse.

Les étapes suivantes du procédé de fabrication de l'invention, sont des étapes effectuées de manière commune dans les procédés de fabrication de transistor à couche mince de silicium polycristallin, et consistent à déposer les couches nécessaires selon les transistors voulus.

Afin de mieux faire comprendre l'invention, on va maintenant en décrire à titre d'exemples purement illustratifs et non limitatifs, plusieurs modes de réalisation.

EXEMPLE 1

Comme montré en figure 1, le substrat 1 est un substrat en verre Corning 1737. Il a une épaisseur de 1 mm. Une couche barrière 2 en silice amorphe ayant un taux de porosité de 50 % est déposée, par un procédé sol-gel, sur ce substrat 1. Cette couche barrière 2 a une épaisseur de 150 nm.

La couche 2 obtenue est parfaitement manipulable, et permet d'obtenir une excellente barrière thermique et chimique à une épaisseur de seulement 150 nm.

On dépose ensuite par dépôt chimique en phase vapeur assisté par plasma une couche 4 de silicium amorphe sur la surface libre de la couche barrière 2. Cette couche de silicium amorphe 4 a une épaisseur de 55 nm.

On procède alors à déshydrogénation sous azote à une température de la couche 4 de silicium amorphe.

Puis, on procède à une irradiation multi-tirs de cette couche de silicium amorphe 4 avec un laser excimer KrF fonctionnant à 248 nm avec des impulsions d'une durée de 20 nanosecondes, pour cristalliser le silicium de la couche 4. L'énergie lumineuse nécessaire du laser, par unité de surface, ou fluence est de 160 millijoules par cm².

On obtient alors une couche mince 3 de silicium polycristallin dont la taille des grains est de 1 µm. Ces grains ont une taille uniforme.

On procède ensuite au dépôt des couches suivantes.

25 EXEMPLE COMPARATIF 1

Un transistor à couche mince selon l'art antérieur a été fabriqué.

A cet effet, on a déposé sur un substrat en verre Corning 1737 d'une épaisseur de 1 mm une couche de silice cristalline ayant un taux de porosité supérieur à 98 %.

Cette couche a une épaisseur de 150 nm.

On dépose ensuite, comme à l'exemple 1, une couche de silicium amorphe sur la surface libre de la couche de silice cristalline est dense.

On déshydrogène le silicium amorphe sous azote à une température de 450°C pendant 1 heure.

EXEMPLE 1

Comme montré en figure 1, le substrat 1 est un substrat en verre Corning 1737. Il a une épaisseur de 1 mm. Une couche barrière 2 en silice amorphe ayant un taux de porosité de 50 % est déposée, par un procédé sol-gel, sur ce substrat 1. Cette couche barrière 2 a une épaisseur de 150 nm.

La couche 2 obtenue est parfaitement manipulable, et permet d'obtenir une excellente barrière thermique et chimique à une épaisseur de seulement 150 nm.

On dépose ensuite par dépôt chimique en phase vapeur assisté par plasma une couche 4 de silicium amorphe sur la surface libre de la couche barrière 2. Cette couche de silicium amorphe 4 a une épaisseur de 55 nm.

On procède alors à la déshydrogénation, sous azote à une température de 450°C, pendant une heure, de la couche 4 de silicium amorphe.

Puis, on procède à une irradiation multi-tirs de cette couche de silicium amorphe 4 avec un laser excimer KrF fonctionnant à 248 nm avec des impulsions d'une durée de 20 nanosecondes, pour cristalliser le silicium de la couche 4. L'énergie lumineuse nécessaire du laser, par unité de surface, ou fluence est de 160 millijoules par cm².

On obtient alors une couche mince 3 de silicium polycristallin dont la taille des grains est de 1 µm. Ces grains ont une taille uniforme.

On procède ensuite au dépôt des couches suivantes.

EXEMPLE COMPARATIF 1

Un transistor à couche mince selon l'art antérieur a été fabriqué.

A cet effet, on a déposé sur un substrat en verre Corning 1737 d'une épaisseur de 1 mm une couche de silice cristalline ayant un taux de porosité inférieur à 2 %.

Cette couche a une épaisseur de 150 nm.

On dépose ensuite, comme à l'exemple 1, une couche de silicium amorphe sur la surface libre de la couche de silice cristalline et dense.

Ensuite, on procède à la cristallisation du silicium amorphe par une irradiation multi-tirs en utilisant un laser excimer KrF fonctionnant à 248 nm avec des durées d'impulsion de 20 nanosecondes. La fluence nécessaire du laser pour obtenir des grains de silicium d'une taille
5 uniforme de 1 μm est de 220 millijoules par cm^2 .

On procède ensuite au dépôt des couches suivantes.

EXEMPLE 2

10 On procède comme à l'exemple 1 mais en utilisant un laser XeCl fonctionnant à 308 nm pour cristalliser le silicium de la couche de silicium amorphe 4.

On obtient comme à l'exemple 1, une couche 3 de silicium polycristallin dont la taille des grains est uniforme et d'environ 1 μm .

15 Cependant, pour obtenir cette taille de grains, la fluence nécessaire du laser XeCl utilisé était de 300 mJ/cm^2 .

EXEMPLE COMPARATIF 2

20 On a procédé comme à l'exemple 2 sauf que la couche barrière 2 était une couche de silice non poreuse c'est-à-dire ayant un taux de porosité supérieur à 98 % et avait une épaisseur de 150 nm.

La fluence nécessaire du laser XeCl utilisé, pour obtenir une couche
3 de silicium polycristallin dont la taille des grains est uniforme et
25 d'environ 1 μm , était de 300 mJ/cm^2 .

On voit à partir des exemples et des exemples comparatifs qui précèdent qu'en utilisant une couche barrière selon l'invention, la fluence du laser nécessaire pour obtenir la même taille de grains polycristallins de
30 silicium est plus faible en comparaison à celle nécessaire lorsqu'on utilise une couche barrière de silice non poreuse.

D'une manière générale, dans les autres exemples que l'on a réalisés avec d'autres types de laser, en particulier, excimer, grâce à la présence de la couche barrière selon l'invention, la fluence nécessaire
35 pour cristalliser le silicium de la couche mince de silicium amorphe du laser

On déshydrogène le silicium amorphe sous azote à une température de 450°C pendant 1 heure.

Ensuite, on procède à la cristallisation du silicium amorphe par une irradiation multi-tirs en utilisant un laser excimer KrF fonctionnant à 248 nm avec des durées d'impulsion de 20 nanosecondes. La fluence nécessaire du laser pour obtenir des grains de silicium d'une taille uniforme de 1 μm est de 220 millijoules par cm^2 .

On procède ensuite au dépôt des couches suivantes.

10 EXEMPLE 2

On procède comme à l'exemple 1 mais en utilisant un laser XeCl fonctionnant à 308 nm pour cristalliser le silicium de la couche de silicium amorphe 4.

15 On obtient comme à l'exemple 1, une couche 3 de silicium polycristallin dont la taille des grains est uniforme et d'environ 1 μm .

Cependant, pour obtenir cette taille de grains, la fluence nécessaire du laser XeCl utilisé était de 210 mJ/cm^2 .

20 EXEMPLE COMPARATIF 2

On a procédé comme à l'exemple 2 sauf que la couche barrière 2 était une couche de silice non poreuse c'est-à-dire ayant un taux de porosité inférieur à 2 % et avait une épaisseur de 150 nm.

25 La fluence nécessaire du laser XeCl utilisé, pour obtenir une couche 3 de silicium polycristallin dont la taille des grains est uniforme et d'environ 1 μm , était de 300 mJ/cm^2 .

30 On voit à partir des exemples et des exemples comparatifs qui précèdent qu'en utilisant une couche barrière selon l'invention, la fluence du laser nécessaire pour obtenir la même taille de grains polycristallins de silicium est plus faible en comparaison à celle nécessaire lorsqu'on utilise une couche barrière de silice non poreuse.

35 D'une manière générale, dans les autres exemples que l'on a réalisés avec d'autres types de laser, en particulier, excimer, grâce à la

est diminuée d'au moins 30 % lorsqu'une couche barrière selon l'invention est utilisée.

On constate également à partir de l'exemple 1 et de l'exemple 2 que l'utilisation du laser KrF est plus avantageuse en terme de fluence.

5 Malgré cela, l'utilisation d'un laser XeCl dans l'invention est préférée d'un point de vue industriel car les lasers XeCl sont d'un usage plus répandu en raison de leurs meilleures fiabilité et durée de vie.

10 Bien entendu, l'invention n'est nullement limitée aux modes de réalisation décrits et illustrés.

En effet, tout autre matériau que de la silice poreuse et amorphe pourra être utilisé pour former la couche barrière, les seules conditions étant que cette couche soit en un matériau compatible à la fois avec le matériau du substrat et le silicium constituant la couche mince du transistor de l'invention, et que ce matériau ait une conductivité thermique inférieure à celle du substrat.

15 De la même façon, lorsque la couche barrière est en silice amorphe et poreuse, tout autre procédé de dépôt qui apparaîtra à l'homme de l'art autre qu'un procédé de dépôt par sol-gel pourra être utilisé, sans sortir du cadre de l'invention.

20 Mais également, le substrat du transistor à couche mince pourra être en un autre matériau que le verre, par exemple du plastique ou du métal, la seule condition étant qu'il supporte les températures utilisées dans le procédé de fabrication du transistor.

25 C'est dire que l'invention comprend tous les équivalents techniques des moyens décrits ainsi que leurs combinaisons si celle-ci sont effectuées suivant son esprit.

présence de la couche barrière selon l'invention, la fluence nécessaire pour cristalliser le silicium de la couche mince de silicium amorphe du laser est diminuée d'au moins 30 %.

On constate également à partir de l'exemple 1 et de l'exemple 2
5 que l'utilisation du laser KrF est plus avantageuse en terme de fluence.

Malgré cela, l'utilisation d'un laser XeCl dans l'invention est préférée d'un point de vue industriel car les lasers XeCl sont d'un usage plus répandu en raison de leurs meilleures fiabilité et durée de vie.

10 Bien entendu, l'invention n'est nullement limitée aux modes de réalisation décrits et illustrés.

En effet, tout autre matériau que de la silice poreuse et amorphe pourra être utilisé pour former la couche barrière, les seules conditions étant que cette couche soit en un matériau compatible à la fois avec le
15 matériau du substrat et le silicium constituant la couche mince du transistor de l'invention, et que ce matériau ait une conductivité thermique inférieure à celle du substrat.

De la même façon, lorsque la couche barrière est en silice amorphe et poreuse, tout autre procédé de dépôt qui apparaîtra à l'homme de l'art
20 autre qu'un procédé de dépôt par sol-gel pourra être utilisé, sans sortir du cadre de l'invention.

Mais également, le substrat du transistor à couche mince pourra être en un autre matériau que le verre, par exemple du plastique ou du métal, la seule condition étant qu'il supporte les températures utilisées
25 dans le procédé de fabrication du transistor.

C'est dire que l'invention comprend tous les équivalents techniques des moyens décrits ainsi que leurs combinaisons si celle-ci sont effectuées suivant son esprit.

REVENDECATIONS

1. Transistor à couche mince de silicium, caractérisé en ce qu'il comprend :
- 5 - un substrat (1),
 - une couche barrière (2) en silice (SiO_2) poreuse déposée directement sur le substrat (1), et
 - une couche mince (3) de silicium rendu polycristallin déposée directement sur la couche barrière (2).
- 10
2. Transistor à couche mince de silicium selon la revendication 1, caractérisé en ce que la couche barrière (2) a un taux de porosité compris entre 20 et 90 %, de préférence compris entre 30 et 60 %.
- 15
3. Transistor à couche mince de silicium selon la revendication 1 ou 2, caractérisé en ce que la couche barrière (2) a une épaisseur comprise entre 150 et 1 000 nanomètres, de préférence entre 400 et 600 nanomètres.
- 20
4. Transistor à couche mince de silicium selon l'une quelconque des revendications précédentes, caractérisé en ce que la couche mince (3) a une épaisseur comprise entre 20 et 80 nanomètres, de préférence entre 50 et 80 nm.
- 25
5. Transistor à couche mince de silicium selon l'une quelconque des revendications précédentes, caractérisé en ce que la taille des grains de silicium polycristallin de la couche mince (3) est supérieure ou égale à 1 μm .
- 30
6. Transistor à couche mince de silicium selon l'une quelconque des revendications précédentes, caractérisé en ce que le substrat (1) est en verre.
- 35
7. Procédé de fabrication d'un transistor à couche mince de silicium, caractérisé en ce qu'il comprend les étapes suivantes :

- a) dépôt d'une couche barrière (2) en silice poreuse directement sur un substrat (1),
b) dépôt d'une couche mince (4) de silicium amorphe directement sur la couche barrière (2),
5 c) irradiation de la couche mince (4) de silicium en utilisant un laser pour obtenir une couche mince (3) de silicium polycristallin.

8. Procédé selon la revendication 7, caractérisé en ce qu'il comprend de plus entre l'étape b) et l'étape c), une étape de
10 déshydrogénation du silicium de la couche mince (4).

9. Procédé selon la revendication 7 ou 8, caractérisé en ce qu'à l'étape a), la couche barrière (2) en silice poreuse est déposée par un procédé sol-gel.

15

10. Procédé selon l'une quelconque des revendications 7 à 9, caractérisé en ce qu'à l'étape b), la couche mince (4) de silicium amorphe est déposée par dépôt chimique en phase vapeur assisté par plasma.

20

11. Procédé selon l'une quelconque des revendications 7 à 10, caractérisé en ce qu'à l'étape c) l'irradiation est effectuée avec un laser excimer, de préférence fonctionnant à 248 nm ou 308 nm.

12. Procédé selon l'une quelconque des revendications 7 à 11, caractérisé en ce que l'étape c) est effectué avec un laser excimer fonctionnant à 308 nm.

25

13. Procédé selon l'une quelconque des revendications 7 à 12, caractérisé en ce que l'épaisseur de la couche barrière (2) est comprise
30 entre 150 et 1 000 nm, de préférence entre 400 et 600 nm.

14. Procédé selon l'une quelconque des revendications 7 à 13, caractérisé en ce que le taux de porosité de la couche barrière (2) est compris entre 20 et 90 %, de préférence entre 30 et 60 %.

15. Procédé selon l'une quelconque des revendications 7 à 14, caractérisé en ce que l'épaisseur de la couche mince de silicium (3, 4) est comprise entre 20 et 80 nm, de préférence entre 50 et 80 nm.

5 16. Procédé selon l'une quelconque des revendications 7 à 15, caractérisé en ce que le substrat (1) est en verre.

10 17. Ecran d'affichage, caractérisé en ce qu'il comprend au moins un transistor à couche mince de silicium polycristallin selon l'une quelconque des revendications 1 à 6.

 18. Procédé de fabrication d'un écran d'affichage, caractérisé en ce qu'il comprend le procédé de fabrication d'un transistor à couche mince de silicium polycristallin selon l'une quelconque des revendications 7 à 16.

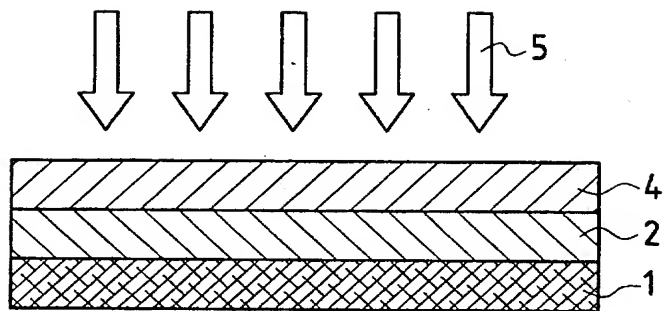


FIG.1

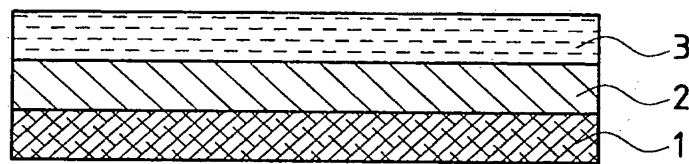


FIG.2

reçu le 11/10/02

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

cerfa
N° 11235*02



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

DÉSIGNATION D'INVENTEUR(S) Page N° .1. / .1.

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)



Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 300301

Vos références pour ce dossier (facultatif)		3J047130/113.CNO
N° D'ENREGISTREMENT NATIONAL		0211 793
TITRE DE L'INVENTION (200 caractères ou espaces maximum)		
Transistor à couche mince de silicium et son procédé de fabrication		
LE(S) DEMANDEUR(S) :		
CORNING INCORPORATED		
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).		
Nom		DAHMANI
Prénoms		Brahim
Adresse	Rue	62 bis, rue Murger
	Code postal et ville	77780 BOURRON-MARLOTTE, FRANCE
Société d'appartenance (facultatif)		
Nom		GUZMAN
Prénoms		Guillaume
Adresse	Rue	56, rue Grande
	Code postal et ville	77250 VILLECERF, FRANCE
Société d'appartenance (facultatif)		
Nom		MECHKEN
Prénoms		Sonia
Adresse	Rue	16, rue des Taillandiers
	Code postal et ville	75011 PARIS, FRANCE
Société d'appartenance (facultatif)		
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		Chantal NOEL CPI N° 02-0404 CABINET BEAU DE LOMENIE

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.